

DERWENT-ACC-NO: 2002-324743

DERWENT-WEEK: 200236

COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Multiprocessor schedule method involves selecting and switching to appropriate processor based on the detected execution time required for the process

PATENT-ASSIGNEE: HITACHI LTD[HITA]

PRIORITY-DATA: 2000JP-0271498 (September 4, 2000)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
JP 2002073581 A	March 12, 2002	N/A	010	G06F 015/177

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
JP2002073581A	N/A	2000JP-0271498	September 4, 2000

INT-CL (IPC): G06F009/46, G06F015/16 , G06F015/177

ABSTRACTED-PUB-NO: JP2002073581A

BASIC-ABSTRACT:

NOVELTY - Several processors (101,110,112) are connected to a coprocessor (111). When a user inputs a process that is to be performed, the coprocessor detects the execution time required for the **process and accordingly chooses and switches** to an appropriate processor.

USE - For scheduling operations of multiprocessor system.

ADVANTAGE - Since the coprocessor chooses and switches to appropriate **processor** based on the execution time, the **load of the multiprocessor system is shared** uniformly.

DESCRIPTION OF DRAWING(S) - The figure shows the block diagram of multiprocessor system. (Drawing includes non-English language text).

Processors 101,110,112

Coprocessor 111

CHOSEN-DRAWING: Dwg.1/18

DERWENT-CLASS: T01

EPI-CODES: T01-M02;

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号
特開2002-73581
(P2002-73581A)

(43) 公開日 平成14年3月12日 (2002.3.12)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
G 0 6 F 15/177	6 7 4	G 0 6 F 15/177	6 7 4 A 5 B 0 4 5
9/46	3 6 0	9/46	3 6 0 C 5 B 0 9 8
15/16	6 2 0	15/16	6 2 0 G

審査請求 未請求 請求項の数 4 O L (全 10 頁)

(21) 出願番号 特願2000-271498(P2000-271498)

(22) 出願日 平成12年9月4日 (2000.9.4)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 石岡 一郎

神奈川県横浜市戸塚区戸塚町5030番地 株式会社日立製作所ソフトウェア開発本部内

(72) 発明者 前田 新吾

神奈川県横浜市戸塚区戸塚町5030番地 株式会社日立製作所ソフトウェア開発本部内

(74) 代理人 100075096

弁理士 作田 康夫

Fターム(参考) 5B045 GG02 GC06

5B098 AA10 GC08 GD02

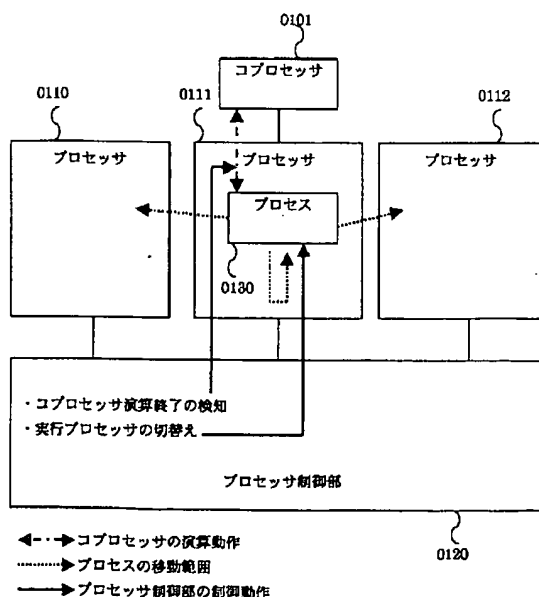
(54) 【発明の名称】 マルチプロセッサシステムにおけるコプロセッサのスケジュール方法

(57) 【要約】

【課題】コプロセッサと接続するプロセッサを持つマルチプロセッサシステムにおいて、コプロセッサと接続するプロセッサに負荷が集中することを防止する。

【解決手段】コプロセッサと接続しないプロセッサで、コプロセッサを使用する命令を実行したときに発生する例外を契機に、コプロセッサと接続するプロセッサのみで動作するようにプロセスを設定し、コプロセッサを使用した後、各プロセッサの負荷に応じて、実行するプロセッサを切り替える。

図 2



1204を利用者が指定した値に更新する(1604)。

【0062】利用者の要求を受け付けた後は、図13および図14に示すフローチャートおよび具体例により、利用者が指定した値で利用することができる。図13および図14のフローチャートおよび具体例については、実施例2で説明済みである。

【0063】

【発明の効果】本発明によれば、コプロセッサを使用するプロセスが、命令例外を契機に、利用者がコプロセッサと接続するプロセッサを識別することなく、コプロセッサを使用することができ、更に利用者の利用形態に影響することなく、必要な期間以外でコプロセッサと接続するプロセッサで動作することを防止できるため、特定のプロセッサに負荷が集中することを防止できる効果を持つ。

【0064】更に、コプロセッサを実行時間を定期的にサンプリングすることや利用者がコプロセッサの実行時間を変更することにより、コプロセッサと接続するプロセッサの利用時間の精度を高めることができる。

【0065】更に、サンプリングする時間や負荷のしきい値を利用者が任意に設定できることで、システムの負荷状態に調節することができる。

【図面の簡単な説明】

【図1】本発明の構成図。

【図2】本発明の概略図。

【図3】実施例1におけるタイムチャート。

【図4】実施例1における初期情報設定処理0220のフローチャート。

【図5】実施例1における初期情報設定処理0220のフローチャート。

【図6】実施例1における暗号装置情報の具体例を示す図。

【図7】実施例1におけるプロセスの状態退避処理0221およびプロセッサ切り付け設定処理0222のフロ

ーチャート。

【図8】実施例1におけるプロセスのデータ構造の具体例を示す図。

【図9】実施例1におけるプロセッサの構成判定処理0223および暗号命令の実行終了時間設定処理0224のフローチャート。

【図10】実施例1におけるプロセッサの切り付け解除処理0225およびプロセッサの負荷状態判定処理0226のフローチャート。

【図11】実施例2におけるタイムチャート。

【図12】実施例2における演算時間採取プロセス生成処理0900のフローチャート。

【図13】実施例2における暗号命令の演算時間採取処理0901および暗号命令の演算時間再設定処理0902のフローチャート。

【図14】実施例2における暗号装置情報の具体例を示す図。

【図15】実施例3におけるタイムチャート。

【図16】暗号命令実行時間の情報変更処理1310のフローチャート。

【図17】実施例4におけるタイムチャート。

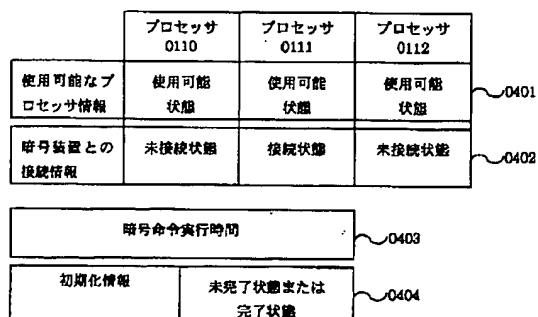
【図18】サンプル時間採取時間間隔の情報変更処理1510およびしきい値の情報変更処理1511のフローチャート。

【符号の説明】

0110…コプロセッサ0101と接続しないプロセッサ、0111…コプロセッサ0101と接続するプロセッサ、0101…コプロセッサ、0120…プロセッサ制御部、0130…プロセス、0401…プロセッサ毎の使用可能状態、0402…暗号装置との接続状態、0403…暗号命令実行時間、0404…初期化完了フラグ、0801…当該プロセス動作可能プロセッサ情報、0802…暗号命令実行状態、1201…暗号命令実行サンプル時間、1202…サンプル時間採取間隔、1203…サンプル時間採取回数、1204…しきい値。

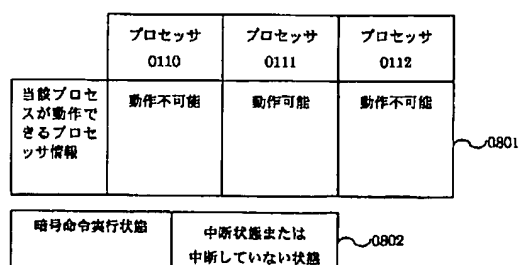
【図6】

図 6



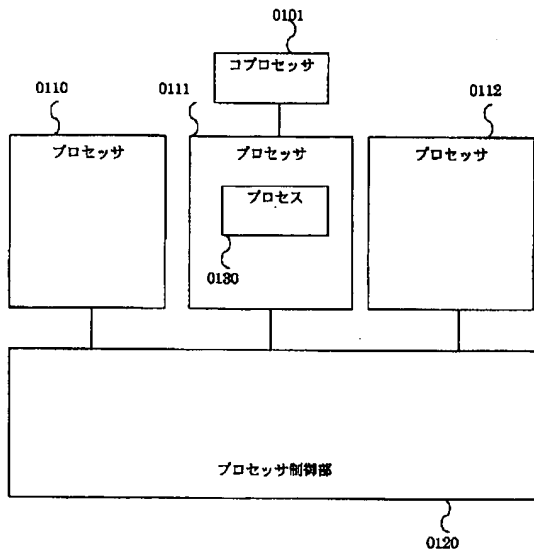
【図8】

図 8



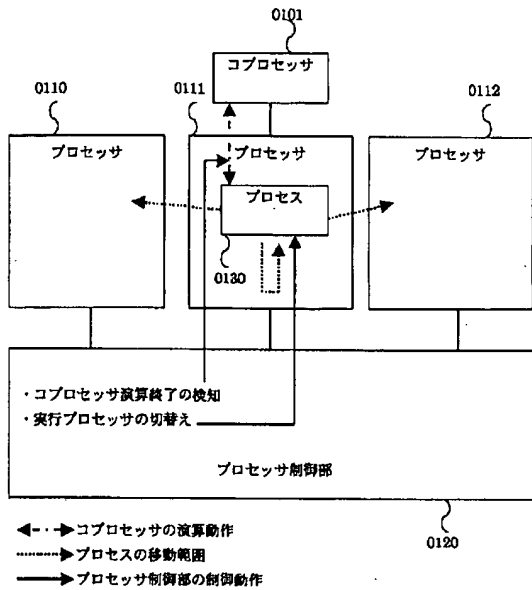
【図1】

図 1



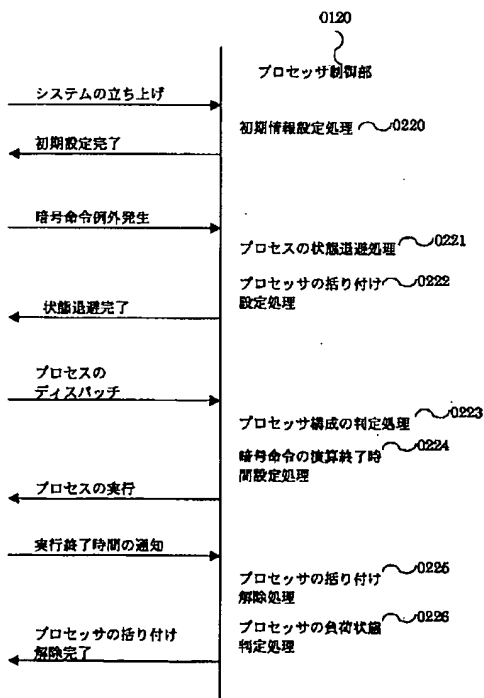
【図2】

図 2



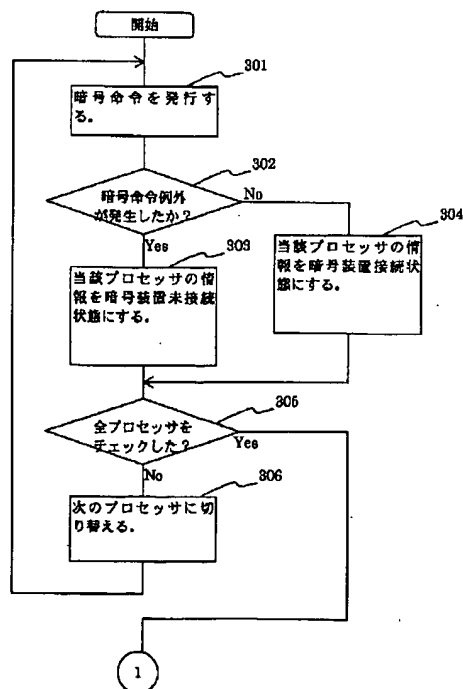
【図3】

図 3



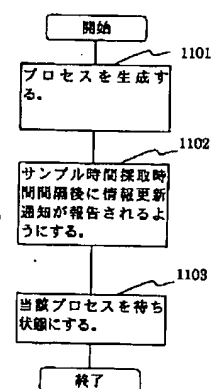
【図4】

図 4



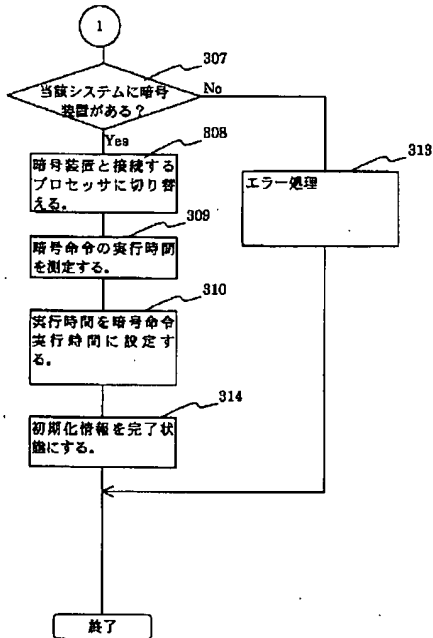
【図12】

図 12



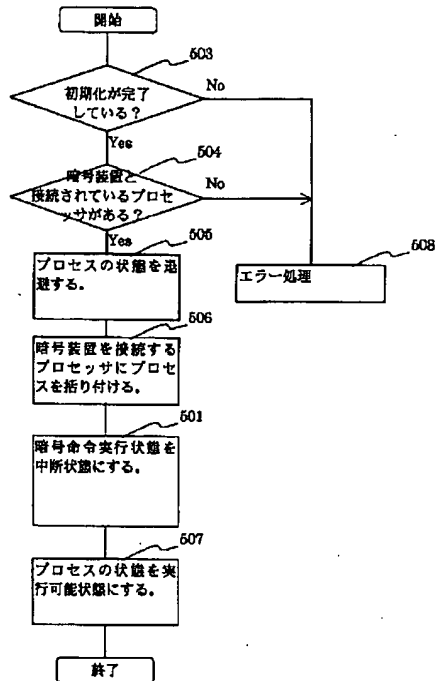
【図5】

図 5



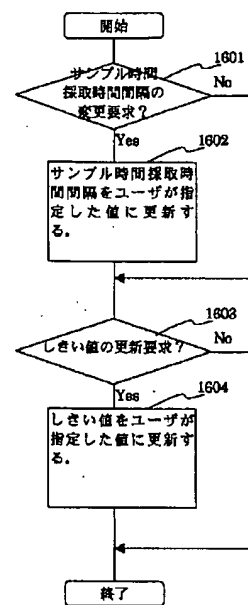
【図7】

図 7



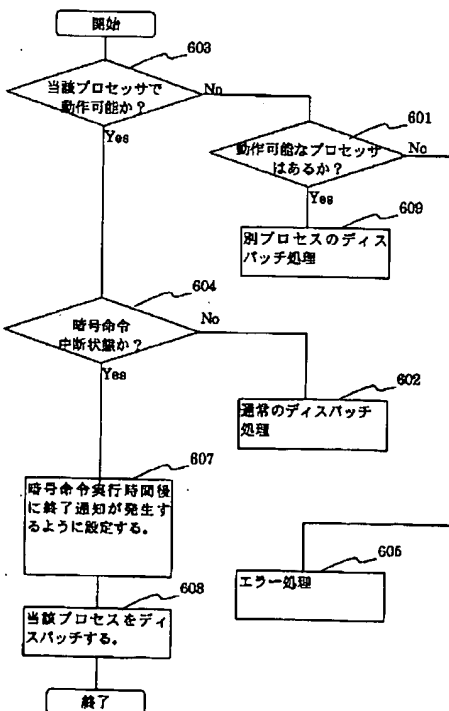
【図18】

図 18



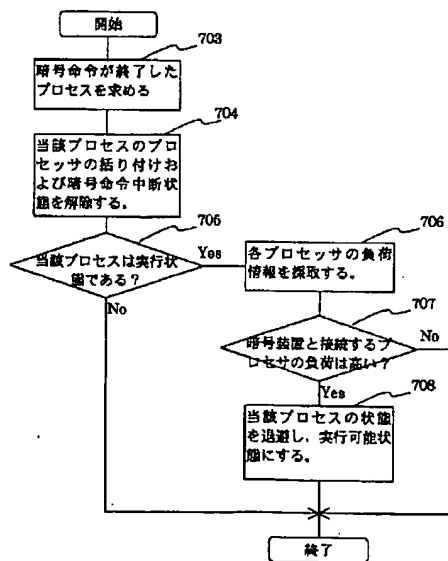
【図9】

図 9

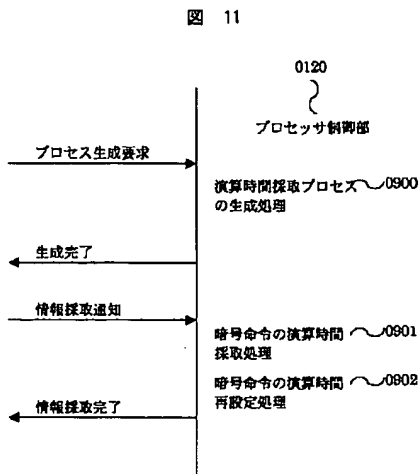


【図10】

図 10

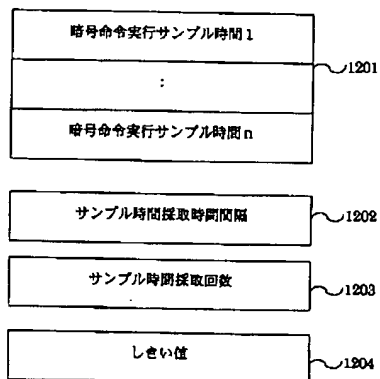


【図11】



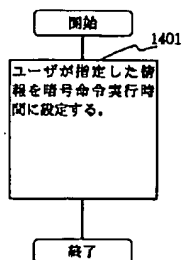
【図14】

図 14



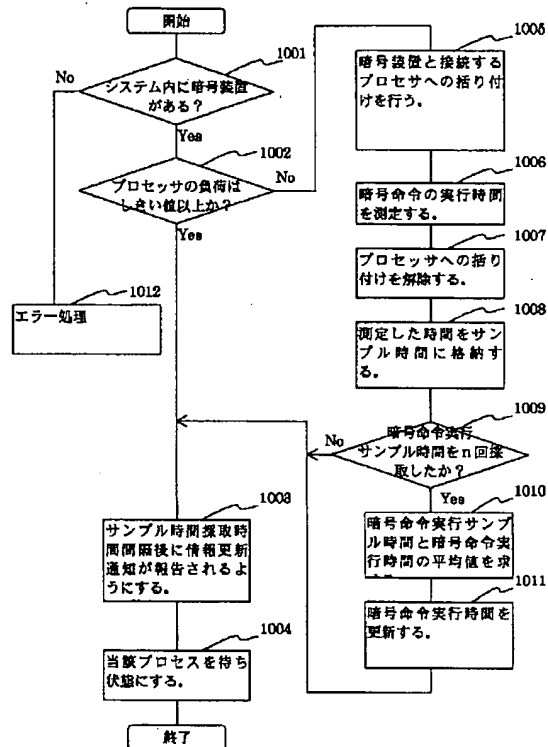
【図16】

図 16



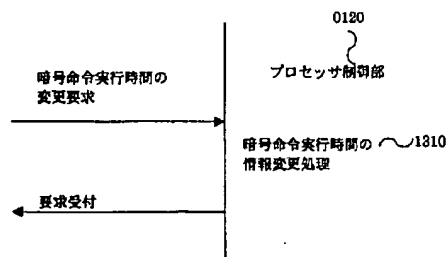
【図13】

図 13



【図15】

図 15



【図17】

図 17

